

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065167

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/265
H01L 21/306
H01L 27/04
H01L 21/822

(21)Application number : 09-029395

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 13.02.1997

(72)Inventor : TAKASE MICHIIHIKO
ARAI MASATOSHI
MIZUNO BUNJI
ERIGUCHI KOUJI

(30)Priority

Priority number : 08 24979
08149004

Priority date : 13.02.1996
11.06.1996

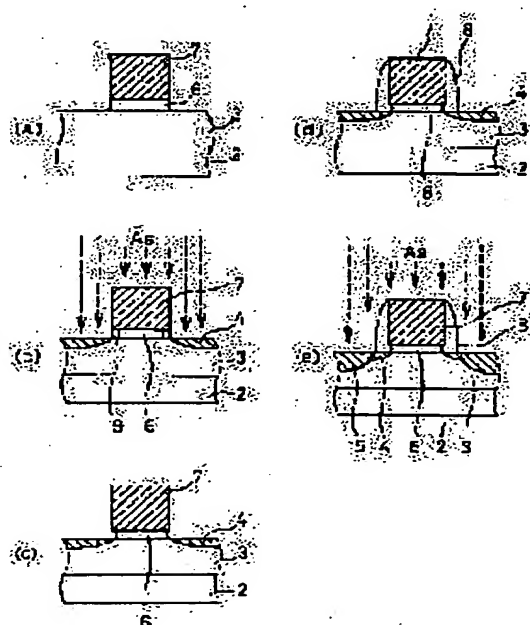
Priority country : JP
JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a damaged layer from being formed in an insulating layer, so as to enhance the insulating layer in reliability when an impurity-doping process is carried out.

SOLUTION: After a doping process has been carried out, a part of an insulating layer 6 doped with impurities and/or a part of an insulating layer 6 where impurities pass through is, at least partially removed, or before a doping process is carried out, a part of an insulating layer 6 which is forecasted to be doped with impurities and/or a part of an insulating layer 6 where impurities are supposed to pass through is, at least partially and previously removed. By this setup, a physically damaged layer is prevented from being



formed in the insulating layer 6, so that the insulating layer can be enhanced in reliability.

LEGAL STATUS

[Date of request for examination]	06.09.2000
[Date of sending the examiner's decision of rejection]	29.10.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	withdrawal
[Date of final disposal for application]	02.08.2004
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2002-022992
[Date of requesting appeal against examiner's decision of rejection]	28.11.2002
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65167

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/265	S
21/265			21/306	T
21/306				D
27/04			27/04	C
審査請求 未請求 請求項の数18 O L (全 19 頁) 最終頁に続く				

(21) 出願番号 特願平9-29395

(22) 出願日 平成9年(1997) 2月13日

(31) 優先権主張番号 特願平8-24979

(32) 優先日 平8(1996) 2月13日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-149004

(32) 優先日 平8(1996) 6月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高瀬 道彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 荒井 雅利

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 水野 文二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 岡田 和秀

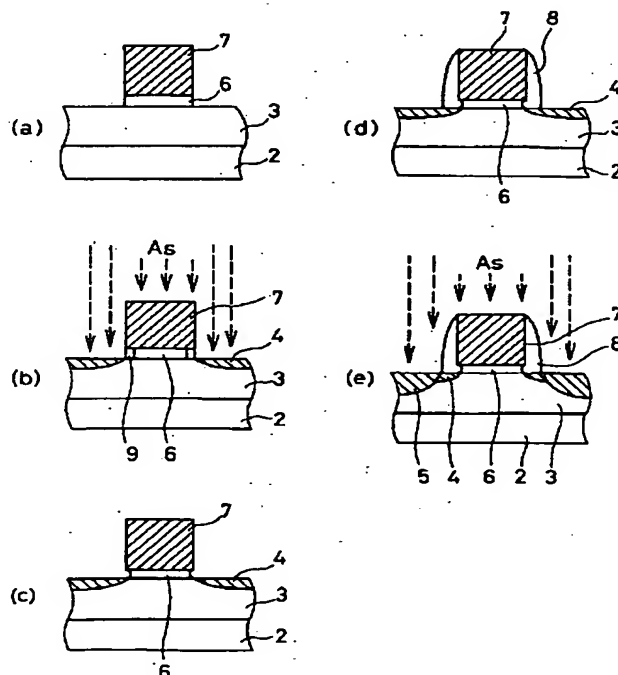
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

・【課題】 不純物をドーピングする際に、絶縁層にダメージ層が形成されることを防止して絶縁層の信頼性を高める。

・【解決手段】 ドーピング工程を行った後に、不純物がドーピングした絶縁層6、23、32、43、53の部分、および/または不純物が通過した絶縁層6、23、32、43、53の部分のうちの少なくとも一部を除去する、もしくはドーピング工程を行う前に、不純物がドーピングすると予測される絶縁層6、23、32、43、53の部分、および/または不純物が通過すると予測される絶縁層6、23、32、43、53の部分のうちの少なくとも一部を予め除去することで、物理的ダメージの生成を防止して絶縁層6、23、32、43、53の信頼性を高める。



1

・【特許請求の範囲】

・【請求項 1】 次の工程を含む半導体装置の製造方法。

半導体基板上に絶縁層を形成する

前記絶縁層上に導体層を形成する

前記導体層をパターニングする

前記半導体基板または前記導体層の少なくともいずれかに不純物をドーピングする

前記導体層の下に位置する前記絶縁層であって、前記不純物がドーピングされまたは通過した部分の少なくとも一部を除去する

・【請求項 2】 次の工程を含む半導体装置の製造方法。

半導体基板上に絶縁層を形成する

前記絶縁層上に導体層を形成する

前記導体層をパターニングする

前記導体層の下に位置する前記絶縁層であって、後の工程で不純物がドーピングされまたは通過する部分の少なくとも一部を除去する

前記半導体基板または前記導体層の少なくともいずれかに不純物をドーピングする

・【請求項 3】 次の工程を含む半導体装置の製造方法。

半導体基板内または上に第一の導体層を形成する

前記第一の導体層上に絶縁層を形成する

前記絶縁層上に第二の導体層を形成する

前記第二の導体層をパターニングする

前記半導体基板または前記第一および第二の導体層の少なくともいずれかに不純物をドーピングする

前記第一の導体層の下に位置する前記絶縁層であって、前記不純物がドーピングされまたは通過した部分の少なくとも一部を除去する

・【請求項 4】 次の工程を含む半導体装置の製造方法。

半導体基板内または上に第一の導体層を形成する

前記第一の導体層上に絶縁層を形成する

前記絶縁層上に第二の導体層を形成する

前記第二の導体層をパターニングする

前記第一の導体層の下に位置する前記絶縁層であって、後の工程で不純物がドーピングされまたは通過する部分の少なくとも一部を除去する

前記半導体基板または前記第一および第二の導体層の少なくともいずれかに不純物をドーピングする

・【請求項 5】 請求項 1 に記載の半導体装置の製造方法であって、

前記導体層の側端下方の前記絶縁層を除去することを特徴とする半導体装置の製造方法。

・【請求項 6】 請求項 2 に記載の半導体装置の製造方法であって、

前記導体層の側端下方の前記絶縁層を除去することを特徴とする半導体装置の製造方法。

・【請求項 7】 請求項 3 に記載の半導体装置の製造方法であって、

前記第二の導体層の側端下方の前記絶縁層を除去するこ

2

とを特徴とする半導体装置の製造方法。

・【請求項 8】 請求項 4 に記載の半導体装置の製造方法であって、

前記前記第二の導体層の側端下方の前記絶縁層を除去することを特徴とする半導体装置の製造方法。

・【請求項 9】 請求項 1 に記載の半導体装置の製造方法であって、

さらに次の工程を含む半導体装置の製造方法。前記導体層の下に位置し前記第一の絶縁層が除去された部分に、前記第一の絶縁層よりも誘電率の高い第二の絶縁層を形成する

・【請求項 10】 請求項 2 に記載の半導体装置の製造方法であって、

さらに次の工程を含む半導体装置の製造方法。前記導体層の下に位置し前記第一の絶縁層が除去された部分に、前記第一の絶縁層よりも誘電率の高い第二の絶縁層を形成する

・【請求項 11】 次の構成よりなる半導体装置。半導体基板と、

前記半導体基板上に熱的に形成された第一の絶縁膜と、

前記第一の絶縁膜上に形成されたゲート電極と、

前記半導体基板内に、互いに離間して形成されたソース・ドレイン領域とを有し、

前記第一の絶縁膜の側端は前記ゲート電極の前記ソース・ドレイン領域を臨む側端よりも内側にある。

・【請求項 12】 請求項 11 に記載の半導体装置であって、

さらに次のものを含む半導体装置。前記ゲート電極の側面および前記第一の絶縁膜の側端に接して形成された第二の絶縁膜

・【請求項 13】 請求項 12 に記載の半導体装置であって、

前記第二の絶縁膜は前記第一の絶縁膜より高誘電率の材料であることを特徴とする半導体装置。

・【請求項 14】 請求項 13 に記載の半導体装置であって、

さらに次のものを含む半導体装置。前記第二の絶縁膜上の形成された第三の絶縁膜

・【請求項 15】 請求項 14 に記載の半導体装置であって、

前記第三の絶縁膜の誘電率は前記第一の絶縁膜と実質的に同一であることを特徴とする半導体装置。

・【請求項 16】 請求項 11 に記載の半導体装置であって、

さらに次のものを含む半導体装置。前記ゲート電極の側端近傍下方に形成された第二の絶縁膜

・【請求項 17】 請求項 16 に記載の半導体装置であって、

前記第二の絶縁膜は前記第一の絶縁膜より高誘電率の材料であることを特徴とする半導体装置。

3

・【請求項18】 請求項16に記載の半導体装置であつて、

前記第一の絶縁膜は熱的に成長させたものであり、前記第二の絶縁膜は化学的に成長させたものであることを特徴とする半導体装置。

・【発明の詳細な説明】

・【0001】

・【発明が属する技術分野】本発明は半導体基板上に、絶縁層を介して導電層または導電層となる層を形成する工程と、前記工程の後、前記半導体基板に不純物をドーピングする工程とを含む半導体装置の製造方法、および半導体装置に関する。

・【0002】

・【従来の技術】一般に、MOSトランジスタやMOSコンデンサといったような半導体装置の製造においては、半導体基板上に絶縁層を介して導電層または導電層となる層を形成したのち、半導体基板表面に不純物をドーピングしている。半導体基板表面に不純物をドーピングするのは、半導体基板上に、ソースドレイン領域やLDD (Lightly Doped Drain-source) 領域を形成したり (MOSトランジスタの場合)、前記導電層となる層に導電性を持たせたり (MOSコンデンサの場合) するためである。

・【0003】このような半導体装置の製造方法の従来例について、図面を参照しながら説明する。図20の各図は従来のMOSトランジスタの製造工程をそれぞれ示す断面図であつて、ここでは、Pウェル領域71、LDD領域72、およびソース・ドレイン領域73を有するP型シリコン基板70の表面に、ゲート絶縁膜74と、ゲート電極75と、サイドウォール76とが形成されたMOSトランジスタを例にして説明する。

・【0004】まず、図20(a)に示すように、Pウェル領域71とゲート絶縁膜74とを形成したP型シリコン基板70上に、ポリシリコン等からなるゲート電極75をパターン形成する。次に、図20(b)に示すように、Asイオンを加速エネルギー30keV、ドーズ量 3×10^{13} 原子数/Cm²の条件で1回目のイオン注入を行い、LDD領域72を形成する。そして、図20(c)に示すように、HTO (High Temperature Oxidation) 層を100nm堆積してエッチバックすることにより、サイドウォール76を形成する。さらに、図20(d)に示すように、Asイオンを加速エネルギー30keV、ドーズ量 3×10^{15} 原子数/Cm²の条件で2回目のイオン注入を行い、ソース・ドレイン領域73を形成する。このとき、LDD領域72はサイドウォール76によって覆われているので、不純物濃度が増加してソース・ドレイン領域73に同化することは起きない。

・【0005】このような工程を経ることにより、LDD領域72を備えた半導体装置 (MOSトランジスタ) が製造される。なお、LDD領域72は、ドレイン電界の緩和によるホットキャリアの発生防止、さらには、後に

4

行う熱拡散工程等により、ソース・ドレイン領域73がゲート電極75の下方まで拡散して延びることを防止するために設けられている。

・【0006】

・【発明が解決しようとする課題】従来の半導体装置の製造方法では、半導体装置の微細化と特性の向上が今後さらに進むと、イオン注入工程におけるゲート絶縁膜74にダメージ層が形成されて装置特性が劣化するという課題があった。

10 ・【0007】以下、その理由を説明する。

・【0008】ゲート絶縁膜74はイオン注入工程において注入イオンが直接突入もしくは通過すると、物理的ダメージを受けて特性劣化を引き起こすばかりか、最終的には絶縁破壊を招いてしまう。このような特性劣化は、ゲート絶縁膜74に突入した注入イオンによりシリコンと酸素のボンドが切られてしまったり、ゲート絶縁膜74内に準位が形成され、形成された準位のところにホールやエレクトロンがトラップされるために起こると考えられる。

20 ・【0009】このような絶縁性や信頼性の低下は、半導体基板上に容量 (MOSコンデンサ) を形成した場合においても同様に発生していた。すなわち、一般に、半導体基板に形成したウェル領域等の導電層を下側容量電極とし、この下側容量電極上に選択的に形成した絶縁膜を容量絶縁膜とし、さらに、容量絶縁膜上に上側容量電極を形成することで、半導体基板上に容量を形成することが行われている。このような構造の容量においては、上側容量電極を、不純物を高濃度のイオンを注入したポリシリコンで構成することが行われている。

30 ・【0010】しかしながら、ポリシリコンを上側容量電極とするためには、不純物をポリシリコンに対して 10^{14} 原子数/Cm²より多量の不純物を注入する必要がある。そのため、このような多量の不純物を注入する際に、上述したのと同様の原因によって容量絶縁膜にダメージ層が形成されてしまうことが指摘されていた。

40 ・【0011】なお、ゲート絶縁膜や容量絶縁膜にこのようなダメージ層が形成されることは、イオン注入量の増加だけではなく、これら絶縁膜の厚みとも密接に関係することが指摘されている。すなわち、半導体装置の高集積化要求に応じてゲート絶縁膜や容量絶縁膜の厚みも薄くなってきており、最近では、膜厚5nm以下の絶縁膜も製造されつつある。このような極薄の絶縁膜では、当然ながら、イオン注入時の影響が大きく、たとえ、 10^{14} 原子数/cm²以下といった比較的少ないイオン注入量でもって不純物イオンを注入したとしても、絶縁膜にダメージ層が形成される可能性がある。

50 ・【0012】本発明は上記課題に鑑み、半導体基板上に形成した絶縁膜にイオン注入によってダメージ層が形成されることを防止し、またホットキャリアの発生を防止することにより、半導体装置の信頼性を高めることを目

的としている。

・【0013】

・【課題を解決するための手段】上記課題を解決するために本発明の半導体装置およびその製造方法は次のような特徴を備えている。

・【0014】本発明のある実施形態による半導体装置の製造方法は次の工程を含む。

・【0015】半導体基板上に絶縁層を形成する

前記絶縁層上に導体層を形成する

前記導体層をパターニングする

前記半導体基板または前記導体層の少なくともいずれかに不純物をドーピングする

前記導体層の下に位置する前記絶縁層であって、前記不純物がドーピングされまたは通過した部分の少なくとも一部を除去する

この構成により、物理的ダメージを受けた絶縁層を除去する事ができ、絶縁層の信頼性が増すことになる。

・【0016】本発明の別の実施形態による半導体装置の製造方法は次の工程を含む。

・【0017】半導体基板上に絶縁層を形成する

前記絶縁層上に導体層を形成する

前記導体層をパターニングする

前記導体層の下に位置する前記絶縁層であって、後の工程で不純物がドーピングされまたは通過する部分の少なくとも一部を除去する

前記半導体基板または前記導体層の少なくともいずれかに不純物をドーピングする

この構成により、不純物のドーピングで物理的ダメージが生じると予想される部位の絶縁層をあらかじめ除去する事で、絶縁層に物理的ダメージが残らなくなり、絶縁層の信頼性が増すことになる。

・【0018】本発明のさらに別の実施形態による半導体装置の製造方法は次の工程を含む。半導体基板内または上に第一の導体層を形成する

前記第一の導体層上に絶縁層を形成する前記絶縁層上に第二の導体層を形成する前記第二の導体層をパターニングする

前記半導体基板または前記第一および第二の導体層の少なくともいずれかに不純物をドーピングする

前記第一の導体層の下に位置する前記絶縁層であって、前記不純物がドーピングされまたは通過した部分の少なくとも一部を除去する

本発明の別の実施形態による半導体装置の製造方法は次の工程を含む。

・【0019】半導体基板内または上に第一の導体層を形成する

前記第一の導体層上に絶縁層を形成する

前記絶縁層上に第二の導体層を形成する

前記第二の導体層をパターニングする

前記第一の導体層の下に位置する前記絶縁層であって、

後の工程で不純物がドーピングされまたは通過する部分の少なくとも一部を除去する

前記半導体基板または前記第一および第二の導体層の少なくともいずれかに不純物をドーピングする

本発明のある実施形態による半導体装置は次の構成を含む。

・【0020】半導体基板と前記半導体基板上に熱的に形成された第一の絶縁膜と前記第一の絶縁膜上に形成されたゲート電極と前記半導体基板内に、互いに離間して形成されたソース・ドレイン領域とを有し、前記第一の絶縁膜の側端は前記ゲート電極の前記ソース・ドレイン領域を臨む側端よりも内側にある。

・【0021】本発明の別の実施形態による半導体装置はさらに次の構成を含む。

・【0022】前記ゲート電極の側面および前記第一の絶縁膜の側端に接して形成された第二の絶縁膜本発明のさらに別の実施形態による半導体装置はさらに次の特徴を有する。

・【0023】前記第二の絶縁膜は前記第一の絶縁膜より高誘電率の材料でなる。

・【0024】本発明のさらに別の実施形態による半導体装置はさらに次の構成を含む。

・【0025】前記第二の絶縁膜上に形成された第三の絶縁膜本発明のさらに別の実施形態による半導体装置はさらに次の特徴を有する。

・【0026】前記第三の絶縁膜の誘電率は前記第一の絶縁膜と実質的に同一である。

・【0027】本発明のさらに別の実施形態による半導体装置はさらに次の構成を含む。

・【0028】前記ゲート電極の側端近傍下方に形成された第二の絶縁膜本発明のさらに別の実施形態による半導体装置はさらに次の特徴を有する。

・【0029】前記第二の絶縁膜は前記第一の絶縁膜より高誘電率の材料でなる。

・【0030】本発明のさらに別の実施形態による半導体装置はさらに次の特徴を有する。

・【0031】前記第一の絶縁膜は熱的に成長させたものであり、前記第二の絶縁膜は化学的に成長させたものである。

・【0032】

・【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

・【0033】第1の実施の形態

図1は本発明の、第1の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、ソース・ドレイン・エクステンション構造のMOSトランジスタを例にして説明する。このMOSトランジスタは、Pウェル領域3、エクステンション領域4、ソース・ドレイン領域5を形成したP型シリコン基板2上に、ゲート絶縁膜6、ゲート電極7、サイドウォール8を形成して構成

7

されている。

・【0034】次に、このMOSトランジスタの製造工程を説明する。

・【0035】まず、図1(a)に示すように、Pウェル領域3、およびゲート絶縁膜(熱的に成長させたシリコン酸化膜等)6を形成したP型シリコン基板2上に、ゲート電極(ポリシリコン等)7をパターン形成する。ゲート絶縁膜の厚みは2~8nm、ゲート電極7の厚みは200~400nmである。同図におけるトランジスタのゲート長は500nm以下である。次に、図1(b)に示すように、P型シリコン基板2に対して不純物として、例えばAsイオンを加速エネルギー10keV、ドーズ量 1×10^{14} 原子数/cm²の条件で1回目のイオン注入を行い、これによって、P型シリコン基板2にエクステンション領域4を形成する。エクステンション領域4は、10keVという比較的小さな加速エネルギーでもって行われる1回目のイオン注入工程により形成されるためにP型シリコン基板2の比較的浅い領域に形成される。

・【0036】また、このようなイオン注入を行うときには、イオンのビームはP型シリコン基板2の表面に対してすべて垂直とはならず、ある程度のビーム成分は斜め方向に沿って打ち込まれる。さらには、1回目のイオン注入の際には、ゲート絶縁膜6やゲート電極7の側端を保護する構造も存在しない。このような条件で、しかも 1×10^{14} 原子数/cm²という高いドーズ量でイオン注入を行うと、斜めに打ち込まれたイオンビームが、ゲート電極7の側端下方に位置するゲート絶縁膜6の部分に直接突入するか、もしくはゲート電極7の側端に対して斜めに打ち込まれたイオンビームが、ゲート電極7を突き抜けてゲート絶縁膜6に達してしまうことが起きる。そのため、ゲート電極7の側端下方に位置するゲート絶縁膜6には、図2に示すように、突入したり通過した不純物(As)イオンにより物理的ダメージが生じ、そこにダメージ層9が形成される。なお、図2では図示の都合上、ダメージ層9とゲート絶縁膜6との間にはっきりとした境界があるように描いたが、実際にはゲート絶縁膜6の露出面近傍が最も物理的ダメージが高く、内側に行くにしたがって物理的ダメージが段階的に減少することで、ダメージ層9が形成されており、ダメージ層9とゲート絶縁膜6との間にはっきりとした境界は存在しない。このように形成されたダメージ層9は、MOSトランジスタの特性を劣化させるばかりか、絶縁破壊の原因ともなる。

・【0037】そこで、図1(c)に示すように、P型シリコン基板2をウェットエッチング溶液、例えば、フッ化水素3%水溶液に1分間浸水させることで、ウェットエッチングを行い、ゲート絶縁膜6に形成されたダメージ層9を選択的に除去する。ダメージ層9の除去は、最も物理的ダメージを受けている部分、すなわち、ゲート

8

電極7の側端下方で露出している部位近傍のダメージ層9を除去すれば、十分、特性悪化を防止できる。また、ウェットエッチングにより、ダメージ層9を湾曲した形状10(図2参照)に除去しても十分特性劣化を防止できるが、異方的にエッチングを行って矩形状にダメージ層9を除去してもよい。

・【0038】ゲート絶縁膜の厚みが2~8nmの場合、ゲート電極7の側端から5~20nm程度の内側まで、ゲート絶縁膜を除去するのが望ましい。

・【0039】このように、ウェットエッチングにより、ゲート絶縁膜6に形成されたダメージ層9の除去を行えば、ポリシリコン等からなるゲート電極7に対してダメージを与えることなく、ゲート絶縁膜6を選択的にエッチングすることができる。ゲート絶縁膜6のダメージを受けた部分は他の部分に比べてエッチレートが高いため、ダメージを受けた部分が除去されるとエッチレートが下がり、いわば「自己停止」的にエッチングが行われる。

・【0040】ウェットエッチングによりダメージ層9の除去を行ったのち、P型シリコン基板2を水洗して、乾燥させる。

・【0041】このようにして、ダメージ層9の除去を行ったのち、図1(d)に示すように、P型シリコン基板2上にシリコン酸化膜を化学気相成長法で120nm程度堆積し、さらにシリコン酸化膜をエッチバックすることで、サイドウォール8を形成する。

・【0042】サイドウォール8を形成したのち、P型シリコン基板2に対してAsイオンを加速エネルギー30keV、ドーズ量 3×10^{15} 原子数/cm²の条件で2回目のイオン注入を行い、P型シリコン基板2上にソース・ドレイン領域5を形成する。このとき、30keVという比較的大きな加速エネルギーでもって行うイオン注入でソース・ドレイン領域5を形成するため、ソース・ドレイン領域5は、エクステンション領域4より深い位置まで形成される。

・【0043】なお、このとき、ゲート電極7の側端およびゲート電極7側端下方に位置するエクステンション領域4はサイドウォール8によって保護されており、2回目のイオン注入によってゲート絶縁膜6に物理的ダメージが生じることはない。さらには、2回目のイオン注入に際して、ゲート絶縁膜6近傍のエクステンション領域4は、サイドウォール8によって保護されるためにその不純物濃度が過度に上昇することもない。

・【0044】以上の工程を経ることでソース・ドレイン・エクステンション構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいては、エクステンション領域4を形成するために行う1回目のイオン注入工程でゲート絶縁膜6に形成されるダメージ層9を、P型シリコン基板2に対してウェットエッチングを行うことで除去しており、ゲート絶縁膜6が物理的ダ

ージで特性劣化したり絶縁破壊することが無い。

・【0045】次に、本発明による効果を確認するために、行った実験について説明する。サンプルは上記プロセスに基づいて作成された。

・【0046】＜実験条件＞

注入装置：大電流注入装置：PI-9500（AMJ製）

ゲート酸化膜ダメージ評価方法：定電圧TDD B試験。

・【0047】

注入条件：BF₂⁺；40（kev），1.0¹⁵原子数/cm²

ゲート絶縁膜厚：8nm

ゲート電極膜厚：330nm

印加電圧：10V

コンデンサー面積（サイズ）：0.8平方ミクロン

＜実験結果＞図3は、イオン注入を行わない場合の定電圧TDD B試験結果であり、横軸に時間、縦軸にゲートと半導体基板との間に流れる電流値を示す。次に、イオン注入を行い、かつウェットエッチングを0秒、30秒、90秒、120秒間行った場合の定電圧TDD B試験結果をそれぞれ、図4、図5、図6、図7に示す。

・【0048】ウェットエッチングを行わない場合には時間の経過と共にリーク電流が増加し、500秒経過した付近で絶縁破壊している。それに対して、ウェットエッチングを30秒行った場合には、殆ど効果が見られないが、ウェットエッチング時間を90秒、120秒と増加させると、リーク電流が低下し、イオン注入を行わない状態に近くなっている。エッチング時間が30秒の場合、ゲート絶縁膜はゲート電極の側端から5nm程度の内側まで除去されている。エッチング時間が90秒の場合、ゲート絶縁膜はゲート電極の側端から8nm程度の内側まで除去されている。エッチング時間が120秒の場合、ゲート絶縁膜はゲート電極の側端から10nm程度の内側まで除去されている。

・【0049】イオン注入の後ウェットエッチングを行わない場合には、ゲート電極7側端下方に位置するゲート絶縁膜6に不純物がドーブまたは通過するとそこにダメージ層9が生成されるため、リーク電流が増加し、早期に絶縁破壊を起こす。しかしながら、ウェットエッチングを一定時間以上行うとダメージ層9が除去され、イオン注入を行う前のゲート絶縁膜6の状態に戻っている。したがって、本発明による半導体装置の製造工程によれば、MOSトランジスタの特性劣化を防止するとともにゲート絶縁膜6の絶縁破壊を防ぐことが可能である。

・【0050】第2の実施の形態

図8は本発明の第2の実施の形態における半導体装置の製造方法の工程断面図であって、ここでは、第1の実施の形態と同様、ソース・ドレイン・エクステンション構造のMOSトランジスタを例にして説明する。このMOSトランジスタの基本的な構造は図1に示した第1の実施の形態と同一であり、同一ないし同様の部分には同一の符号を付している。特に定めない場合、寸法も同一で

ある。

・【0051】次に、このMOSトランジスタの製造工程を説明する。まず、図8（a）に示すように、Pウェル領域3、およびゲート絶縁膜6を形成したP型シリコン基板2上に、ゲート電極7をパターン形成する。次に、図8（b）に示すように、P型シリコン基板1をウェットエッチング溶液、例えばフッ化水素3%水溶液に1分回浸水させることでウェットエッチングを行う。これにより、次に行う1回目のイオン注入により、不純物（As）が突入、もしくは通過することで物理的ダメージを受けると予測されるゲート絶縁膜7の部位、具体的にはゲート電極7の側端下方に位置するゲート絶縁膜6を除去する。物理的ダメージを受けると予測される部位の除去は、最も物理的ダメージを受けると予測される部分、すなわち、ゲート電極7の側端下方で露出している部位近傍のゲート絶縁膜6を除去すれば、十分、特性悪化を防止できる。ゲート絶縁膜の厚みか2～8nmの場合、ゲート電極7の側端から5～20nm程度の内側まで、ゲート絶縁膜6を除去するのが望ましい。また、ウェットエッチングにより、ゲート絶縁膜6を図2に示すように湾曲した形状10に除会しても十分特性劣化を防止できるが、異方的にエッチングを行って矩形状にゲート絶縁膜6を除去してもよい。ウェットエッチングを行ったのち、P型シリコン基板2を水洗し、乾燥させる。

・【0052】ウェットエッチングが終了したのち、図8（c）に示すように、P型シリコン基板2に対して、Asイオンを加速エネルギー10kev、ドーズ量1×10¹⁴原子数/cm²の条件で1回目のイオン注入を行い、エクステンション領域4を形成する。このとき、1回目のイオン注入工程により、物理的ダメージを受けることが予測されるゲート絶縁膜6の部位は、ウェットエッチングにより予め除去されているので、ゲート絶縁膜6にダメージ層が形成されることはない。

・【0053】エクステンション領域4を形成したのち、P型シリコン基板2上にシリコン酸化膜を120nm堆積する。そして、堆積したシリコン酸化膜をエッチバックすることで、サイドウォール8を形成する。

・【0054】サイドウォール8を形成したのち、Asイオンを加速エネルギー30kev、ドーズ量3×10¹⁵原子数/cm²の条件で2回目のイオン注入を行い、P型シリコン基板2内にソース・ドレイン領域5を形成する。このとき、ゲート電極7の側端およびゲート電極7側端下方に位置するエクステンション領域4はサイドウォール8によって保護されており、2回目のイオン注入によってゲート絶縁膜6に物理的ダメージが生じることはない。

・【0055】以上の工程を経ることにより、エクステンション構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいては、エクステンション領域4を形成するために行う1回目のイオン注入工程で

物理的ダメージを受けると予測されるゲート絶縁膜6の部位を、1回目のイオン注入を行う前に、予め、P型シリコン基板2に対してウエットエッチングを行うことで除去しており、ゲート絶縁膜6が物理的ダメージで特性劣化したり絶縁破壊することは無い。

・【0056】第3の実施の形態

図9は本発明の第3の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、シングル・ソース・ドレイン構造のMOSトランジスタを例にして説明する。このMOSトランジスタはPウェル領域21、シングル・ソース・ドレイン22を形成したP型シリコン基板20中に、ゲート絶縁膜23、ゲート電極24を形成して構成されている。寸法は特に定めない限り、前の実施例と同一である。

・【0057】次に、このMOSトランジスタの製造工程を説明する。まず、図9(a)に示すように、Pウェル領域21、およびゲート絶縁膜(シリコン酸化膜等)23を形成したP型シリコン基板20上に、ゲート電極(ポリシリコン等)24をパターン形成する。

・【0058】次に、図9(b)に示すように、P型シリコン基板20に対して不純物として、例えばAsイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入を行い、これによって、P型シリコン基板20にシングル・ソース・ドレイン領域22を形成する。シングル・ソース・ドレイン領域22は、10keVという比較的小さな加速エネルギーでもって行われるイオン注入工程により形成されるためにP型シリコン基板2の比較的浅い領域に形成される。

・【0059】この工程では、前に述べたメカニズムにより、ゲート電極24の側端下方に位置するゲート絶縁膜23には、物理的ダメージが生じてダメージ層25が形成される。

・【0060】そこで、図9(c)に示すように、P型シリコン基板20をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることで、ウエットエッチングを行い、ゲート絶縁膜23に形成されたダメージ層25を選択的に除去したのち、P型シリコン基板20を水洗して、乾燥させる。

・【0061】以上の工程を経ることでシングル・ソース・ドレイン構造22を備えたMOSトランジスタが作製される。このMOSトランジスタにおいては、シングル・ソース・ドレイン領域22を形成するために行うイオン注入工程でゲート絶縁膜23に形成されるダメージ層25を、P型シリコン基板20に対してウエットエッチングを行うことで除去しており、ゲート絶縁膜23が物理的ダメージで特性劣化したり絶縁破壊することが無い。

・【0062】第4の実施の形態

図10は本発明の第4の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第3の実施

の形態と同様、シングル・ソース・ドレイン構造のMOSトランジスタを例にして説明する。このMOSトランジスタの基本的な構造は図9に示した第3の実施の形態と同一であり、同一ないし同様の部分には、同一の符号を付している。

・【0063】次に、このMOSトランジスタの製造工程を説明する。まず、図10(a)に示すように、Pウェル領域21、およびゲート絶縁膜23を形成したP型シリコン基板20上に、ゲート電極24をパターン形成する。寸法は特に定めない限り、前の実施例と同一である。

・【0064】次に、図10(b)に示すように、P型シリコン基板20をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることでウエットエッチングを行う。これにより、次に行うイオン注入により、不純物(As)が突入、もしくは通過することで物理的ダメージを受けると予測されるゲート絶縁膜23の部位、具体的にはゲート電極24の側端下方に位置するゲート絶縁膜23を除去する。物理的ダメージを受けると予測される部位の除去は、最も物理的ダメージを受けると予測される部分、すなわち、ゲート電極24の側端下方で露出している部位近傍のゲート絶縁膜6を除去すれば、十分、特性悪化を防止できる。ゲート絶縁膜23の厚みが2~8nmの場合、ゲート電極24の側端から5~20nm程度の内側まで、ゲート絶縁膜23を除去するのが望ましい。ウエットエッチングを行ったのち、P型シリコン基板20を水洗し、乾燥させる。

・【0065】ウエットエッチングが終了したのち、図10(c)に示すように、P型シリコン基板20に対して、Asイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入を行い、シングル・ソース・ドレイン領域22を形成する。シングル・ソース・ドレイン領域22は、10keVという比較的小さな加速エネルギーでもって行われるイオン注入工程により形成されるためにP型シリコン基板2の比較的浅い領域に形成される。このとき、イオン注入工程により物理的ダメージを受けることが予測されるゲート絶縁膜23の部位は、ウエットエッチングにより予め除去されているので、ゲート絶縁膜23にダメージ層が形成されることはない。

・【0066】以上の工程を経ることにより、シングル・ソース・ドレイン構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいては、シングル・ソース・ドレイン領域22を形成するために行うイオン注入工程で物理的ダメージを受けると予測されるゲート絶縁膜23の部位を、イオン注入を行う前に、予め、P型シリコン基板20に対してウエットエッチングを行うことで除去しており、物理的ダメージでゲート絶縁膜23の特性が劣化したり絶縁破壊することは無い。

・【0067】第5の実施の形態

13

図11は本発明の第5の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、MOSコンデンサを例にして説明する。このMOSコンデンサは、Pウエル領域31を形成したP型シリコン基板30上に容量絶縁膜32と容量電極33とを順次形成して構成されている。なお、このMOSコンデンサでは、容量電極33と対向するもう一方の容量電極はPウエル領域31から構成されている。容量絶縁膜32の厚みは約6nm、容量電極33の厚みは約200nmである。電極面積は所望の容量にもとづいて決定される。

・【0068】次に、このMOSコンデンサの製造工程を説明する。まず、図11(a)に示すように、Pウエル領域31および容量絶縁膜32を形成したP型シリコン基板30上に、ポリシリコンパターン330をパターン形成する。次に、図11(b)に示すように、ポリシリコンパターン330に導電性を持たせるために、P型シリコン基板30の表面にAsイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入する。これにより、ポリシリコンパターン330は導電性を有するようになり、容量電極33として機能する。

・【0069】このとき、前の実施例で述べたと同じ理由で、容量電極33の側端下方に位置する容量絶縁膜32には、物理的ダメージが生じることでダメージ層34が形成される。

・【0070】そこで、図11(c)に示すように、P型シリコン基板30をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることで、ウエットエッチングを行い、容量絶縁膜32に形成されたダメージ層34を選択的に除去したのち、P型シリコン基板30を水洗して乾燥させる。

・【0071】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン330に導電性を持たせるために行うイオン注入工程で容量絶縁膜32に形成されるダメージ層34を、P型シリコン基板30に対してウエットエッチングを行うことで除去しており、容量絶縁膜32が物理的ダメージで特性劣化したり絶縁破壊することが無い。容量絶縁膜32の厚みが2~8nmの場合、容量電極33の側端から5~20nm程度の内側まで、容量絶縁膜32を除去するのが望ましい。

・【0072】第6の実施の形態

図12は本発明の第6の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第5の実施の形態と同様のMOSコンデンサを例にして説明する。このMOSコンデンサの基本的な構造は図11に示した第5の実施の形態と同様であり、同一ないし同様の部分には同一の符号を付している。

・【0073】次に、このMOSコンデンサの製造工程を説明する。まず、図12(a)に示すように、Pウエル

14

領域31および容量絶縁膜32を形成したP型シリコン基板30上に、ポリシリコンパターン330をパターン形成する。寸法は特に定めない限り、前の実施例と同一である。

・【0074】次に、図12(b)に示すように、P型シリコン基板30をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることでウエットエッチングを行う。これにより、次に行うイオン注入により、不純物(As)が突入、もしくは通過することで物理的ダメージを受けると予測される容量絶縁膜32の部位、具体的にはポリシリコンパターン330の側端下方に位置する容量絶縁膜32を除去する。物理的ダメージを受けると予測される部位の除去は、最も物理的ダメージを受けると予測される部分、すなわち、ポリシリコンパターン330の側端下方で露出している部位近傍の容量絶縁膜32を除去すれば、十分、特性悪化を防止できる。ウエットエッチングを行ったのち、P型シリコン基板30を水洗し、乾燥させる。

・【0075】ウエットエッチングが終了したのち、図12(c)に示すように、P型シリコン基板30に対して、Asイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入を行い、ポリシリコンパターン330に不純物(As)を注入して導電性を持たせて、容量電極33として機能させる。このとき、容量絶縁膜32や容量電極33の側端を保護する構造も存在しない。このような条件で、しかも 3×10^{15} 原子数/cm²という高いドーズ量でイオン注入すると、打ち込まれたイオンビームが、容量絶縁膜32に突入もしくは通過してしまつて物理的ダメージを受けることが予測される。しかしながら、物理的ダメージを受けることが予測される容量絶縁膜32の部位は、ウエットエッチングにより予め除去されているので、容量絶縁膜32にダメージ層が形成されることは無い。

・【0076】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン330に導電性を持たせるために行うイオン注入工程で容量絶縁膜32に物理的ダメージを受けることが予測される容量絶縁膜32の部位を、予めP型シリコン基板30に対して行うウエットエッチングによって除去しており、容量絶縁膜32が物理的ダメージで特性劣化したり絶縁破壊することが無い。容量絶縁膜32の厚みが2~8nmの場合、容量電極33の側端から5~20nm程度の内側まで、容量絶縁膜32を除去するのが望ましい。

・【0077】第7の実施の形態

図13は本発明の第7の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第5、第6の実施の形態と同様、MOSコンデンサを例にして説明する。このMOSコンデンサは、Pウエル領域41を形成したP型シリコン基板40上に下側容量電極42と容

量絶縁膜43と上側容量電極44とを順次形成して構成されている。下側容量電極42の厚みは約200nm、容量絶縁膜43の厚みは約6nm、上側容量電極44の厚みは約200nmである。電極面積は所望の容量にもとづいて決定される。

・【0078】次に、このMOSコンデンサの製造工程を説明する。まず、図13(a)に示すように、Pウエル領域41を形成したP型シリコン基板40上に、ポリシリコン等からなる下側容量電極42をパターン形成する。そして、下側容量電極42上に容量絶縁膜43をパターン形成する。さらに、容量絶縁膜43上にポリシリコンパターン440をパターン形成する。次に、図13(b)に示すように、ポリシリコンパターン440に導電性を持たせるために、P型シリコン基板40の表面にAsイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入する。これにより、ポリシリコンパターン440は導電性を有するようになり、上側容量電極44として機能する。

・【0079】このとき、ポリシリコンパターン440の側端下方に位置する容量絶縁膜43には、物理的ダメージが生じることでダメージ層45が形成される。

・【0080】そこで、図13(c)に示すように、P型シリコン基板40をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることで、ウエットエッチングを行い、容量絶縁膜43に形成されたダメージ層45を選択的に除去したのち、P型シリコン基板40を水洗して、乾燥させる。

・【0081】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン440に導電性を持たせるために行うイオン注入工程で容量絶縁膜43に形成されるダメージ層45を、P型シリコン基板40に対してウエットエッチングを行うことで除去しており、容量絶縁膜43が物理的ダメージで特性劣化したり絶縁破壊することが無い。容量絶縁膜43の厚みが2~8nmの場合、容量電極の側端から5~20nm程度の内側まで、容量絶縁膜43を除去するのが望ましい。

・【0082】第8の実施の形態

図14は本発明の第8の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第7の実施の形態と同様のMOSコンデンサを例にして説明する。このMOSコンデンサの基本的な構造は図13に示した第7の実施の形態と同様であり、同一ないし同様の部分には同一の符号を付している。寸法は特に定めない限り、前の実施例と同一である。

・【0083】次に、このMOSコンデンサの製造工程を説明する。まず、図14(a)に示すように、Pウエル領域41を形成したP型シリコン基板40上に、ポリシリコン等からなる下側容量電極42をパターン形成する。そして、下側容量電極42上に容量絶縁膜43をパ

ターン形成する。さらに、容量絶縁膜43上にポリシリコンパターン440をパターン形成する。

・【0084】次に、図14(b)に示すように、P型シリコン基板40をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることでウエットエッチングを行う。これにより、次に行うイオン注入により不純物(As)が突入、もしくは通過することで物理的ダメージを受けると予測される容量絶縁膜48の部位、具体的にはポリシリコンパターン440の側端下方に位置する容量絶縁膜43を除去する。物理的ダメージを受けると予測される部位の除去は、最も物理的ダメージを受けると予測される部分、すなわち、ポリシリコンパターン440の側端下方で露出している部位近傍の容量絶縁膜43を除去すれば、十分、特性悪化を防止できる。容量絶縁膜43は容量電極の側端から5~20nm内側まで除去するのが望ましい。ウエットエッチングを行ったのち、P型シリコン基板40を水洗し、乾燥させる。

・【0085】その後、図14(c)に示すように、P型シリコン基板40に対して、Asイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入を行い、ポリシリコンパターン440に不純物(As)を注入して導電性を持たせて、上側容量電極44として機能させる。このとき、容量絶縁膜43や上側容量電極44の側端を保護する構造も存在しない。このような条件で、しかも 3×10^{15} 原子数/cm²という高いドーズ量でイオン注入されると、打ち込まれたイオンビームが、容量絶縁膜43に突入もしくは通過してしまつて物理的ダメージを受けることが予測される。しかしながら、物理的ダメージを受けることが予測される容量絶縁膜43の部位は、ウエットエッチングにより予め除去されているので、容量絶縁膜43にダメージ層が形成されることはない。

・【0086】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン440に導電性を持たせるために行うイオン注入工程で物理的ダメージを受けることが予想される容量絶縁膜43の部位を、予めP型シリコン基板40に対して行うウエットエッチングによって除去しており、容量絶縁膜43が物理的ダメージで特性劣化したり絶縁破壊することが無い。

・【0087】第9の実施の形態

図15は本発明の第9の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第5~8の実施の形態と同様、MOSコンデンサを例にして説明する。このMOSコンデンサは、Pウエル領域51を形成したP型シリコン基板50上に形成された素子分離シリコン酸化膜51に下側容量電極52と容量絶縁膜53と上側容量電極54とを順次形成して構成されている。寸法は特に定めない限り、前の実施例と同一である。

17

・【0088】次に、このMOSコンデンサの製造工程を説明する。まず、図15(a)に示すように、LOCOS分離構造である素子分離シリコン酸化膜51が形成されたP型シリコン基板40の前記素子分離シリコン酸化膜51上に、ポリシリコン等からなる下側容量電極52をパターン形成する。そして、下側容量電極52上に容量絶縁膜53をパターン形成する。さらに、容量絶縁膜53上にポリシリコンパターン540をパターン形成する。

・【0089】次に、図15(b)に示すように、ポリシリコンパターン540に導電性を持たせるために、P型シリコン基板50の表面にAsイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入する。これにより、ポリシリコンパターン540は導電性を有するようになり、上側容量電極54として機能する。

・【0090】このとき、イオンのビームはP型シリコン基板50の表面に対してすべて垂直とはならず、ある程度のビーム成分は斜め方向に沿って打ち込まれる。さらには、イオン注入の際には、容量絶縁膜53やポリシリコンパターン540の側端を保護する構造も存在しない。このような条件で、しかも 3×10^{15} 原子数/cm²という高いドーズ量でイオン注入されると、打ち込まれたイオンビームが、容量絶縁膜53に突入もしくは通過してしまうことが起きる。そのため、ポリシリコンパターン540の側端下方に位置する容量絶縁膜53には、物理的ダメージが生じることでダメージ層55が形成される。

・【0091】そこで、図15(c)に示すように、P型シリコン基板50をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることで、ウエットエッチングを行い、容量絶縁膜53に形成されたダメージ層55を選択的に除去したのち、P型シリコン基板50を水洗して、乾燥させる。

・【0092】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン540に導電性を持たせるために行うイオン注入工程で容量絶縁膜53に形成されるダメージ層55を、P型シリコン基板50に対してウエットエッチングを行うことで除去しており、容量絶縁膜53が物理的ダメージで特性劣化したり絶縁破壊することが無い。容量絶縁膜53の厚みが2~8nmの場合、容量電極の側端から5~20nm程度の内側まで容量絶縁膜53を除去するのが望ましい。

・【0093】第10の実施の形態

図16は本発明の第10の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第9の実施の形態と同様のMOSコンデンサを例にして説明する。このMOSコンデンサの基本的な構造は図15に示した第9の実施の形態と同様であり、同一ないし同様の

18

部分には同一の符号を付している。寸法は特に定めない限り、前の実施例と同一である。

・【0094】次に、このMOSコンデンサの製造工程を説明する。まず、図16(a)に示すように、LOCOS分離構造である素子分離シリコン酸化膜51を形成したP型シリコン基板50の前記素子分離シリコン酸化膜51上に、ポリシリコン等からなる下側容量電極52をパターン形成する。そして、下側容量電極52上に容量絶縁膜53をパターン形成する。さらに、容量絶縁膜53上にポリシリコンパターン540をパターン形成する。

・【0095】次に、図16(b)に示すように、P型シリコン基板50をウエットエッチング液、例えばフッ化水素3%水溶液に1分間浸水させることでウエットエッチングを行う。これにより、次に行うイオン注入により、最も物理的ダメージを受けると予測される部分、すなわち、ポリシリコンパターン540の側端下方で露出している部位近傍の容量絶縁膜53を除去すれば、十分、特性悪化を防止できる。容量絶縁膜53の厚みが2~8nmの場合、容量電極の側端から5~20nm程度の内側まで、容量絶縁膜53を除去するのが望ましい。ウエットエッチングを行ったのち、P型シリコン基板50を水洗し、乾燥させる。

・【0096】ウエットエッチングが終了したのち、図16(c)に示すように、P型シリコン基板50に対して、Asイオンを加速エネルギー10keV、ドーズ量 3×10^{15} 原子数/cm²の条件でイオン注入を行い、ポリシリコンパターン540に不純物(As)を注入して導電性を持たせて、上側容量電極54として機能させる。このとき、容量絶縁膜53や上側容量電極54の側端を保護する構造も存在しない。このような条件で、しかも 3×10^{15} 原子数/cm²という高いドーズ量でイオン注入されると、打ち込まれたイオンビームが、容量絶縁膜53に突入もしくは通過してしまつて物理的ダメージを受けることが予測される。しかしながら、物理的ダメージを受けることが予測される容量絶縁膜53の部位は、ウエットエッチングにより予め除去されているので、容量絶縁膜53にダメージ層が形成されることはない。

・【0097】以上の工程を経ることでMOSコンデンサが作製される。このMOSコンデンサにおいては、ポリシリコンパターン540に導電性を持たせるために行うイオン注入工程で物理的ダメージを受けることが予測される容量絶縁膜53の部位を、予めP型シリコン基板50に対して行うウエットエッチングによって除去しており、容量絶縁膜53が物理的ダメージで特性劣化したり絶縁破壊することが無い。

・【0098】なお、第5~第10の実施の形態では、上側容量電極33、44、54となるポリシリコンパターン330、440、540に導電性を持たせるために行

うイオン注入で容量絶縁膜32、43、53に物理的ダメージが発生する場合を想定して本発明を説明した。しかしながら、このような物理的ダメージは、この他に、MOSコンデンサとともに半導体基板上に形成した他の半導体装置を製造する際にも発生する。すなわち、他の半導体装置を製造する際に行うイオン注入等のドーピング工程の影響によりMOSコンデンサの容量絶縁膜32、43、53に物理的ダメージが生じる。このような場合においても、本発明の方法により、物理的ダメージ、ないし物理的ダメージが形成されると予想される部分を除去すれば、第5～第10の実施の形態と同様の作用効果を得ることができる。

・【0099】第11の実施の形態

図17は本発明の第11の実施の形態である半導体装置の製造方法の工程断面図であって、ここでは、第1の実施の形態と同様、ソース・ドレイン・エクステンション構造のMOSトランジスタを例にして説明する。このMOSトランジスタの構造上の特徴は、図17(f)に示すように、シリコン酸化膜からなるサイドウォール8に代えて、シリコンナイトライドからなるサイドウォール55を設けたことであり、他の構造は図1に示した第1の実施の形態と基本的には同一であり、同一ないし同様の部分には同一の符号を付している。寸法は特に定めない限り、前の実施例と同一である。

・【0100】次に、このMOSトランジスタの製造工程を説明する。まず、図17(a)に示すように、Pウェル領域3、およびゲート絶縁膜(熱的に成長させたシリコン酸化膜等)6を形成したP型シリコン基板2上に、ゲート電極(ポリシリコン等)7をパターン形成する。次に、図17(b)に示すように、P型シリコン基板2に対して不純物として、例えばAsイオンを加速エネルギー1.0keV、ドーズ量 1×10^{14} 原子数/cm²の条件で1回目のイオン注入を行い、これによって、P型シリコン基板2にエクステンション領域4を形成する。エクステンション領域4は、1.0keVという比較的小さな加速エネルギーでもって行われる1回目のイオン注入工程により形成されるためにP型シリコン基板2の比較的浅い領域に形成される。

・【0101】また、このようなイオン注入を行うときにおいて形成されたダメージ層9は、MOSトランジスタの特性を劣化させるばかりか、絶縁破壊の原因ともなる。

・【0102】そこで、図17(c)に示すように、P型シリコン基板2をウエットエッチング溶液、例えば、フッ化水素3%水溶液に1分間浸水させることで、ウエットエッチングを行い、ゲート絶縁膜6に形成されたダメージ層9を選択的に除去する。ゲート絶縁膜6の厚みが2～8nmの場合、ゲート電極7の側端から5～20nm程度の内側まで、ゲート絶縁膜6を除去するのが望ましい。

・【0103】ウエットエッチングにより、ゲート絶縁膜6に形成されたダメージ層9の除去を行えば、ポリシリコン等からなるゲート電極7に対してダメージを与えることなく、ゲート絶縁膜6を選択的にエッチングすることができる。

・【0104】ウエットエッチングによりダメージ層9の除去を行ったのち、P型シリコン基板2を水洗して、乾燥させる。

・【0105】このようにして、ダメージ層9の除去を行ったのち、図17(d)に示すようにP型シリコン基板2上にシリコン酸化物からなるゲート絶縁膜6より誘電率の高いシリコンナイトライド膜550を化学気相成長法で120nm程度堆積する。このとき、ゲート絶縁膜6がエッチングされて形成された孔はシリコンナイトライド膜550によって充填される。ゲート絶縁膜6のシリコン酸化膜とシリコンナイトライド膜550との界面は、ゲート電極7の側端より内側に位置する。

・【0106】次にシリコンナイトライド膜550をエッチバックすることで、図17(e)に示すようなサイドウォール55を形成する。

・【0107】サイドウォール55を形成したのち、図17(f)に示すように、P型シリコン基板2に対してAsイオンを加速エネルギー30keV、ドーズ量 3×10^{15} 原子数/cm²の条件で2回目のイオン注入を行い、P型シリコン基板2上にソース・ドレイン領域5を形成する。このとき、30keVという比較的大きな加速エネルギーでもって行うイオン注入でソース・ドレイン領域5を形成するため、ソース・ドレイン領域5は、エクステンション領域4より深い位置まで形成される。

・【0108】なお、このとき、ゲート電極7の側端およびゲート電極7側端下方に位置するエクステンション領域4はサイドウォール55によって保護されており、2回目のイオン注入によってゲート絶縁膜6に物理的ダメージが生じることはない。さらには、2回目のイオン注入に際して、ゲート絶縁膜6近傍のエクステンション領域4は、サイドウォール55によって保護されるためにその不純物濃度が過度に上昇することもない。

・【0109】以上の工程を経ることでソース・ドレイン・エクステンション構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいては、エクステンション領域4を形成するために行う1回目のイオン注入工程でゲート絶縁膜6に形成されるダメージ層9を、P型シリコン基板2に対してウエットエッチングを行うことで除去しており、ゲート絶縁膜6が物理的ダメージで特性劣化したり絶縁破壊することが無い。

・【0110】また、ホットキャリアが最も発生する確率の高いゲート絶縁膜6の側端部分がシリコンナイトライドというゲート絶縁膜6より誘電率の高い物質に置き換わっているので、ホットキャリアの発生は抑制されることになる。

・【0111】さらには、サイドウォール55がゲート絶縁膜6より誘電率の高い物質（シリコンナイトライド）であるので、ゲートのフリンジ電界が大きくなって、ドレイン電界ピークが低くなる。したがって、ドレイン電界ピークの低下により、ホットキャリアの発生はさらに抑制されることになる。

・【0112】第12の実施の形態

図18は本発明の、第12の実施の形態である半導体装置の製造方法の工程断面図である。このMOSトランジスタは第11の実施の形態の変形例であって、その構造上の特徴は、図18(c)に示すように、単一のシリコンナイトライド層からなるサイドウォール55に代えて、シリコンナイトライドとシリコン酸化物との2層構造のサイドウォール58を設けたことであり、他の構造は図17に示した第11の実施の形態と基本的には同一であり、同一ないし同様の部分には同一の符号を付している。サイドウォール部以外の寸法は特に定めない限り、前の実施例と同一である。

・【0113】次に、このMOSトランジスタの製造工程を説明する。まず、P型シリコン基板2に、Pウェル領域3、ゲート絶縁膜（シリコン酸化膜）6、ゲート電極7、および、エクステンション領域4を形成し、さらに、エクステンション領域4の形成により生じたゲート絶縁膜6のダメージ層を除去する。ゲート絶縁膜の厚みが2～8nmの場合、ゲート電極の側端から5～20nm程度の内側まで、ゲート絶縁膜を除去するのが望ましい。これらの工程は、図17(a)～図17(c)で説明した工程と同様であるので省略する。

・【0114】このようにして、ダメージ層9の除去を行ったのち、図18(a)に示すようにP型シリコン基板2上にゲート絶縁膜6より誘電率の高いシリコンナイトライド膜560を堆積する。シリコンナイトライド膜560は10～20nmと極薄く堆積する。このとき、ゲート絶縁膜6のダメージ層を除去することにより形成された孔は堆積されたシリコンナイトライド膜560によって充填される。さらに、シリコンナイトライド膜560の上から、シリコン酸化膜570を100～110nm堆積する。

・【0115】次にシリコンナイトライド膜560およびシリコン酸化膜570をエッチバックすることで、ゲート絶縁膜6およびゲート電極7の側壁に図18(b)に示すようなサイドウォール58を形成する。このようにして形成されたサイドウォール58は、シリコンナイトライドの残存膜56と、シリコン酸化膜の残存膜57との2層構造となる。

・【0116】サイドウォール58を形成したのち、図18(c)に示すように、P型シリコン基板2に対してAsイオンを加速エネルギー30keV、ドーズ量 3×10^{15} 原子数/Cm²の条件で2回目のイオン注入を行い、P型シリコン基板2上にソース・ドレイン領域5を

形成する。

・【0117】以上の工程を経ることでソース・ドレイン・エクステンション構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいても、ホットキャリアが最も発生する確率の高いゲート絶縁膜6の側端部分がシリコンナイトライドというゲート絶縁膜6より誘電率の高い物質に置き換わっているため、ホットキャリアの発生は抑制されることになる。さらには、サイドウォール58を構成する内側の膜がゲート絶縁膜6より誘電率の高いシリコンナイトライドの残存膜56であるので、ゲートのフリンジ電界が大きくなって、ドレイン電界ピークが低くなる。したがって、ドレイン電界ピークの低下により、ホットキャリアの発生はさらに抑制されることになる。

・【0118】そのうえ、サイドウォール58をシリコンナイトライドの残存膜56とシリコン酸化膜の残存膜57という2層構造にしているため、サイドウォール58を構成するために形成するシリコンナイトライド膜560の膜厚を10～20nmという極薄の厚みにすることができる。シリコンナイトライドは、シリコン基板2にとって熱膨張率の違いが大きく、互いに密着させると熱ストレスが大きくなる物質であるため、シリコンナイトライド膜560の膜厚を極薄にしたこの構造では、シリコンナイトライド膜560の形成でシリコン基板2に生じる熱ストレスを比較的小さなものとすることかでき、熱ストレスによってシリコン基板2が損傷するといった不都合も起きにくくなる。

・【0119】第13の実施の形態

図19は本発明の、第13の実施の形態である半導体装置の製造方法の工程断面図である。このMOSトランジスタは第11の実施の形態の変形例であって、その構造上の特徴は、図19(e)に示すように、単一のシリコンナイトライド層からなるサイドウォール55に代えて、シリコンナイトライドとシリコン酸化物との2層構造のサイドウォール61を設けたことである。ただ、2層構造のサイドウォール61の構造が第12の実施の形態と若干異なっている。構造の違いを具体的にいえば次の通りになる。すなわち、第12の実施の形態のサイドウォール58では、シリコン酸化膜の残存膜57とP型シリコン基板2との間にシリコンナイトライドの残存膜56が介在しており、シリコン酸化膜の残存膜57はP型シリコン基板2に直接接していない。一方、第13の実施の形態のサイドウォール61では、シリコン酸化膜からなる外側サイドウォール60（シリコン酸化膜の残存膜57に相当する）とP型シリコン基板2との間には内側サイドウォール59（シリコンナイトライドの残存膜56に相当する）が介在しておらず、外側サイドウォール60は直接P型シリコン基板2に接している。

・【0120】なお、この他の構造は図17に示した第11の実施の形態と基本的には同一であり、同一ないし同

様の部分には同一の符号を付している。サイドウォール部以外の寸法は特に定めない限り、前の実施例と同一である。

・【0121】まず、P型シリコン基板2に、Pウエル領域3、ゲート絶縁膜6、ゲート電極7、および、エクステンション領域4を形成し、さらに、エクステンション領域4の形成により生じたゲート絶縁膜6のダメージ層を除去する。ゲート絶縁膜の厚みが2~8nmの場合、ゲート電極の側端から5~20nm程度の内側まで、ゲート絶縁膜を除去するのが望ましい。これらの工程は、図17(a)~図17(c)で説明した工程と同様であるので省略する。

・【0122】このようにして、ダメージ層9の除去を行ったのち、図19(a)に示すようにP型シリコン基板2上に、ゲート絶縁膜6より誘電率の高いシリコンナイトライド膜590を堆積する。シリコンナイトライド膜590は10~20nmと極薄く堆積する。このとき、ゲート絶縁膜6のダメージ層を除去することにより形成された孔は堆積されたシリコンナイトライド膜590によって充填される。

・【0123】シリコンナイトライド膜590を形成したのち、このシリコンナイトライド膜590をエッチバックすることで、ゲート絶縁膜6およびゲート電極7の側壁に図19(b)に示すような内側サイドウォール59を形成する。

・【0124】内側サイドウォール59を形成したのち、さらに、図19(c)に示すように、内側サイドウォール59の上からP型シリコン基板2上にシリコン酸化膜600を100~110nm堆積する。

・【0125】次に、シリコン酸化膜600をエッチバックすることで、図19(d)に示すような外側サイドウォール60を形成する。

・【0126】そして、このようにして形成された内側サイドウォール59と外側サイドウォール60とによりサイドウォール61を構成する。

・【0127】サイドウォール61を形成したのち、図18(e)に示すように、P型シリコン基板2に対してAsイオンを加速エネルギー30keV、ドーズ量 3×10^{15} 原子数/Cm²の条件で2回目のイオン注入を行い、P型シリコン基板2上にソース・ドレイン領域5を形成する。

・【0128】以上の工程を経ることでソース・ドレイン・エクステンション構造を備えたMOSトランジスタが作製される。このMOSトランジスタにおいても、ホットキャリアが最も発生する確率の高いゲート絶縁膜6の側端部分がシリコンナイトライドというゲート絶縁膜6より誘電率の高い物質に置き換わっているため、ホットキャリアの発生は抑制されることになる。さらには、サイドウォール61を構成する内側サイドウォール59がゲート絶縁膜6より誘電率の高いシリコンナイトライド

から構成されるので、ゲートのフリンジ電界が大きくなって、ドレイン電界ピークが低くなる。したがって、ドレイン電界ピークの低下により、ホットキャリアの発生はさらに抑制されることになる。

・【0129】そのうえ、サイドウォール61を内側サイドウォール59と外側サイドウォール61という2層構造にしているため、サイドウォール58を構成するために形成するシリコンナイトライド膜590の膜厚を10~20nmという極薄い厚みにすることができた。シリコンナイトライドは、シリコン基板2にとって熱膨張率の異なる熱ストレスの大きな物質であるため、シリコンナイトライド膜590の膜厚を極薄くしたこの構造では、シリコンナイトライド膜590の形成でシリコン基板2に生じる熱ストレスは比較的小さなものととなり、熱ストレスによってシリコン基板2が損傷するといった不都合も起きにくくなる。

・【0130】さらには、このMOSトランジスタの構造は、CMOS構造を備えた半導体装置等の製造方法に適している。すなわち、CMOSトランジスタの構造では、N形不純物（ヒ素(As)など）とP形不純物（ボロン(B)など）とを同一のシリコン基板上に活性領域としてそれぞれ拡散する必要がある。しかしながら、ボロン(B)といったP形不純物は、N形不純物に比べて拡散しやすいという特性があり、このようなP形不純物の拡散により活性領域を形成すると、ゲートを挟んだPチャンネル活性領域の間で、短チャンネル効果が発生しやすくなるという不都合がある。

・【0131】そこで、まず、ゲートを形成したシリコン基板に、N形不純物拡散領域に応じた開口を有するマスクを形成したうえで、シリコン基板にN形不純物を拡散させて、Nチャンネルの活性領域を形成する。さらに、シリコンナイトライドからなる内側サイドウォール59を形成し、この状態で、シリコン基板にP形不純物拡散領域に応じた開口を有するマスクを形成する。そして、シリコン基板にP形不純物を拡散させる。このとき、P形不純物は平面方向に沿って拡散してゲートの下側まで入り込もうとする。しかしながら、内側サイドウォール59が形成されることによってP形不純物の注入領域は予めゲートからある程度離間した位置となっており、P形不純物がある程度平面方向に拡散しても、ゲートの下側まで入り込むことがなくなり、ゲートを挟んで対向配置されるPチャンネル活性領域の間で短チャンネル効果が発生しにくくなる。この場合、内側サイドウォール59となるシリコンナイトライド膜590の厚みは、P形不純物が平面方向に拡散する長さを考慮して設定する必要がある。

・【0132】ところで、上記した第11~第13に実施の形態においては、シリコン酸化物のゲート絶縁膜6より誘電率の高い物質として、シリコンナイトライドを用いていたが、ゲート絶縁膜6より誘電率の高い物質とし

ては、 Si_3N_4 、 Ta_2O_5 、 SrTiO_3 (=STO)、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (=BST)、 PbZrO_3 - PbTiO_3 (=PZT)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (=Y1)、 TiO_3 、 ZrO_2 、 Y_2O_3 、 BaTiO_3 、 $\text{Sr}_x\text{Ba}_{1-x}\text{Nb}_2\text{O}_6$ 等を用いることができる。

・【0133】なお、第5～第10の実施の形態では、上側容量電極33、44、54となるポリシリコンパターン330、440、540に導電性を持たせるために行うイオン注入で容量絶縁膜32、43、53に物理的ダメージが発生する場合を想定して本発明を説明した。しかしながら、このような物理的ダメージは、この他に、MOSコンデンサとともに半導体基板上に形成した他の半導体装置を製造する際にも発生する。すなわち、他の半導体装置を製造する際に行うイオン注入等のドーピング工程の影響によりMOSコンデンサの容量絶縁膜32、43、53に物理的ダメージが生じる。このような場合においても、本発明の方法により、物理的ダメージ、ないし物理的ダメージが形成されると予想される部分を除去すれば、第5～第10の実施の形態と同様の作用効果を得ることができる。

・【0134】また、イオン注入によりゲート絶縁膜6、23ないし容量絶縁膜32、43、53に与えるダメージとしては、上述した物理的ダメージのほか、チャージングダメージもある。このダメージはイオン注入によりゲート電極7、24や容量電極33、44、54にチャージングされた電荷がゲート絶縁膜6、23や容量絶縁膜32、43を介してP型シリコン基板2、20、30、40、50に流れる際に生じる。

・【0135】このようなチャージングダメージに対しては、第1、第3、第5、第7、第9、第11、第12、第13の各実施の形態のごとく、イオン注入により物理的ダメージが形成されたのち、そのダメージ層を除去すれば、有効に防止することができる。すなわち、ゲート電極7、24や容量電極33、44、54にチャージングされた電荷はある程度蓄積されたのち、P型シリコン基板2、20、30、40、50に向かって流れる。電荷が流れ出すのは、イオン注入後、ある程度時間が経過しているので、ゲート絶縁膜6、23や容量絶縁膜32、43には、イオン注入による不純物の突入で導電性が高まったダメージ層が既に形成されている。そのため、ゲート電極7、24や容量電極33、44、54から流れる電荷はこれらダメージ層を選択的に流れて、ダメージ層以外のゲート絶縁膜6、23や容量絶縁膜32、43の部分にはほとんど流れなくなる。したがって、電荷が流れないゲート絶縁膜6、23や容量絶縁膜32、43の部分にはチャージングダメージが生じることかない。また、電荷が流れてチャージングダメージが生じた部分(=物理的ダメージが生じた部分)は次のウェットエッチングにより除去される。このような理由により、チャージングダメージはゲート絶縁膜6、23や

容量絶縁膜32、43に残存しない。

・【0136】また、上述した各実施の形態では、ドーピング工程として、イオン注入を採用した半導体装置の製造方法において、本発明を実施していたが、ドーピング工程としては、この他、プラズマベースドイオンインプラント、プラズマイマージョンイオンインプラント、プラズマドーピングといったプラズマインプラントを採用した半導体装置の製造方法においても、本発明を実施できる。さらには、上述した各実施の形態では、P型シリコン基板上に半導体装置を形成する場合において本発明を実施した形態を説明したが、N型シリコン基板等のN型半導体基板上に半導体装置を形成する場合においても同様に実施できるのはいうまでもない。

・【0137】

・【発明の効果】本発明の製造方法によれば、次のような効果が得られる。

・【0138】不純物のドーピングによって絶縁層に生じる物理的ダメージを除去、もしくは不純物のドーピングで物理的ダメージが生じることが予測される絶縁層を予め除去することで、簡単に前記ダメージ層が発生することを防止することができる。また、絶縁層の除去をウェットエッチングで行う方法では、絶縁層に他のストレスや金属汚染の問題が引き起こさない。したがって、本発明では、絶縁膜の信頼性を向上させて、超微細な半導体装置の製造に大きく貢献することができる。

・【図面の簡単な説明】

・【図1】本発明の第1の実施の形態における半導体装置(MOSTランジス)の製造方法の各工程を示す断面図である。

30 ・【図2】本発明の製造方法で作製された半導体装置(MOSTランジス)の製造途中の状態を示す拡大断面図である。

・【図3】MOS構造において、イオン注入無しの場合の定電圧TDDDB試験結果である。

・【図4】MOS構造において、イオン注入後、ウェットエッチングを行わない場合の定電圧TDDDB試験結果である。

40 ・【図5】MOS構造において、イオン注入後、ウェットエッチングを30秒行う場合の定電圧TDDDB試験結果である。

・【図6】MOS構造において、イオン注入後、ウェットエッチングを90秒行う場合の定電圧TDDDB試験結果である。

・【図7】MOS構造において、イオン注入後、ウェットエッチングを120秒行う場合の定電圧TDDDB試験結果である。

・【図8】本発明の第2の実施の形態における半導体装置(MOSTランジス)の製造方法の各工程を示す断面図である。

50 ・【図9】本発明の第3の実施の形態における半導体装置

27

・(MOSトランジス)の製造方法の各工程を示す断面図である。

・【図10】本発明の第4の実施の形態における半導体装置(MOSトランジス)の製造方法の各工程を示す断面図である。

・【図11】本発明の第5の実施の形態における半導体装置(MOSコンデンサ)の製造方法の各工程の示す断面図である。

・【図12】本発明の第6の実施の形態における半導体装置(MOSコンデンサ)の製造方法の各工程を示す断面図である。

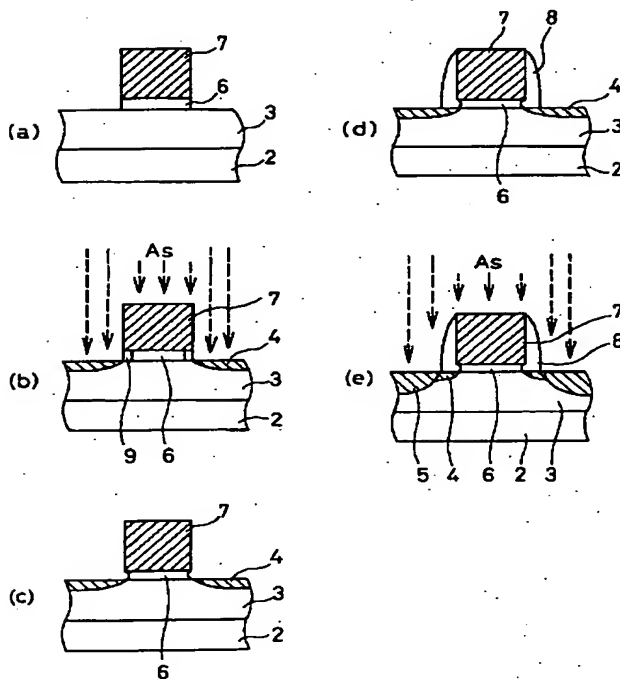
・【図13】本発明の第7の実施の形態における半導体装置(MOSコンデンサ)の製造方法の各工程を示す断面図である。

・【図14】本発明の第8の実施の形態における半導体装置(MOSコンデンサ)の製造方法の各工程を示す断面図である。

・【図15】本発明の第9の実施の形態における半導体装置(MOSコンデンサ)の製造方法の各工程を示す断面図である。

・【図16】本発明の第10の実施の形態における半導体*

・【図1】



28

*装置(MOSコンデンサ)の製造方法の各工程を示す断面図である。

・【図17】本発明の第11の実施の形態における半導体装置(MOSトランジスタ)の製造方法の各工程を示す断面図である。

・【図18】本発明の第12の実施の形態における半導体装置(MOSトランジスタ)の製造方法の各工程を示す断面図である。

・【図19】本発明の第13の実施の形態における半導体装置(MOSトランジスタ)の製造方法の各工程を示す断面図である。

・【図20】従来例の半導体装置の製造方法の各工程を示す断面図である。

・【符号の説明】

2、20、30、40、50 P型シリコン基板

6、23 ゲート絶縁膜

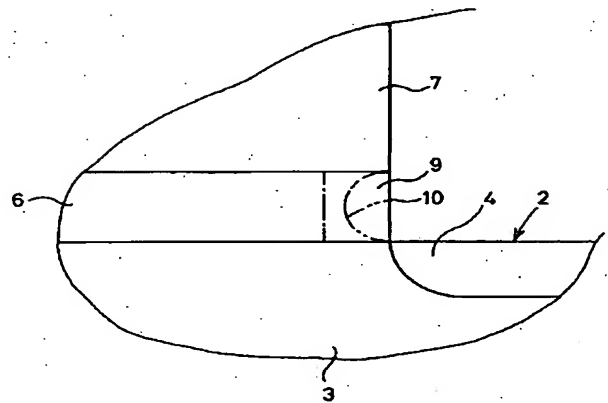
7、24 ゲート電極

32、43、53 容量絶縁膜

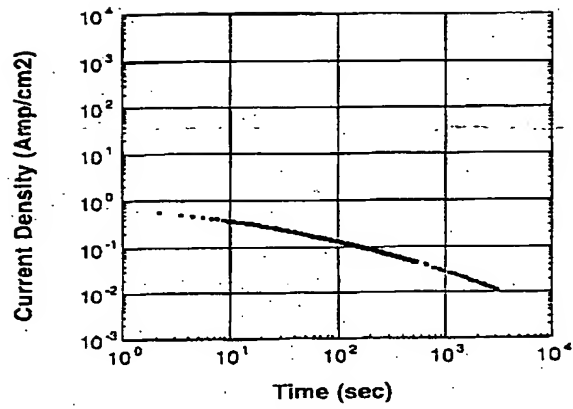
33 容量電極

20 44、54 上側容量電極

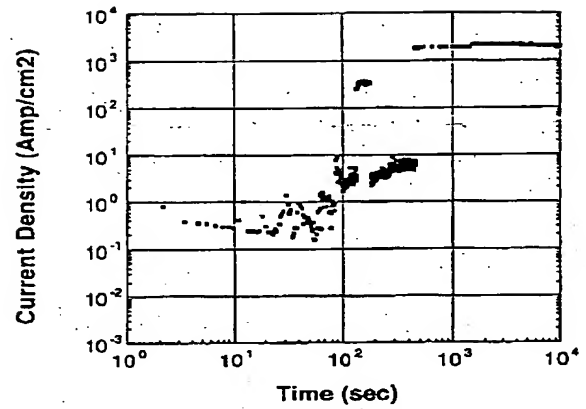
・【図2】



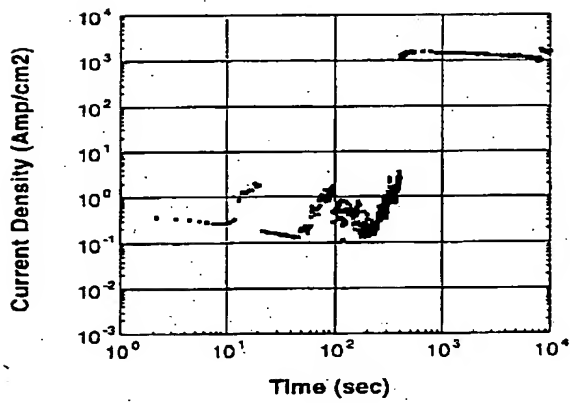
・【図 3】



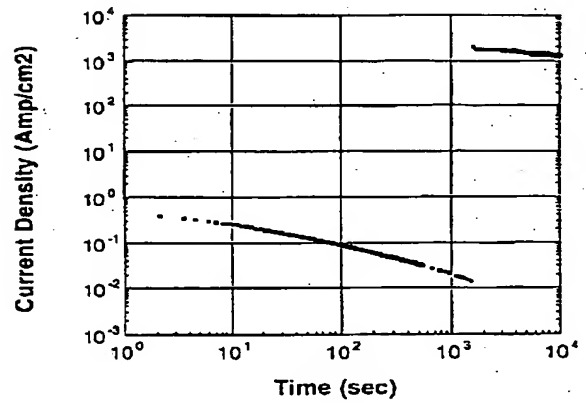
・【図 4】



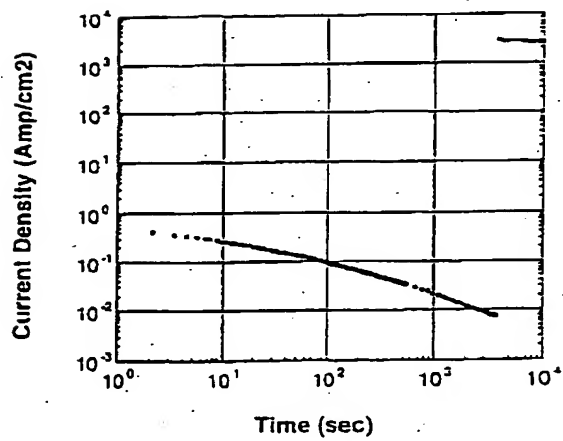
・【図 5】



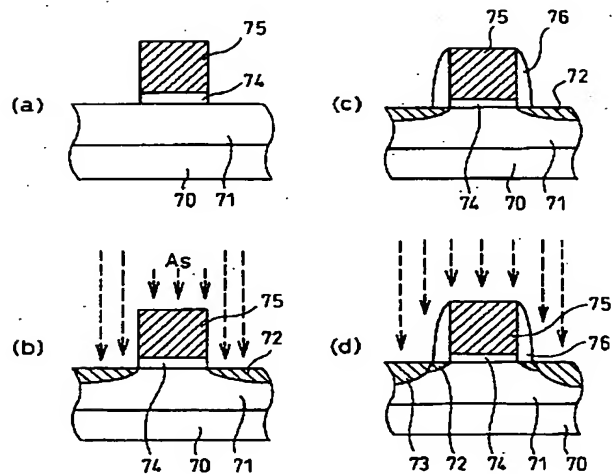
・【図 6】



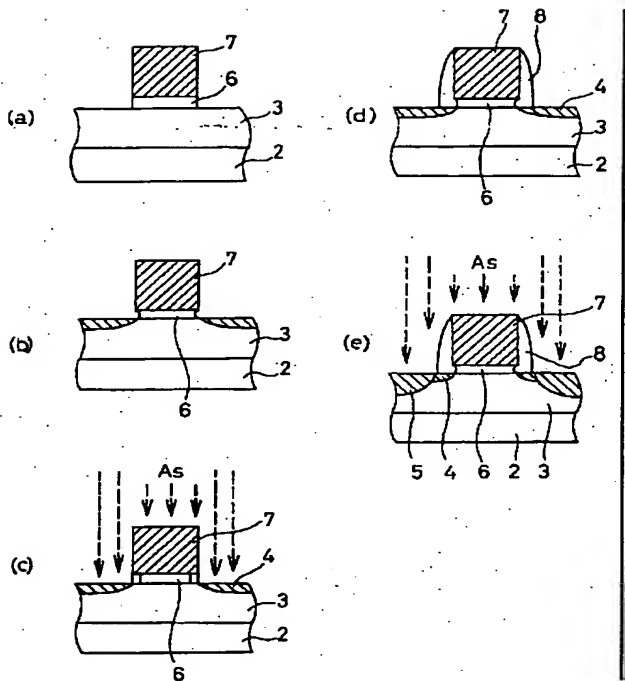
・【図 7】



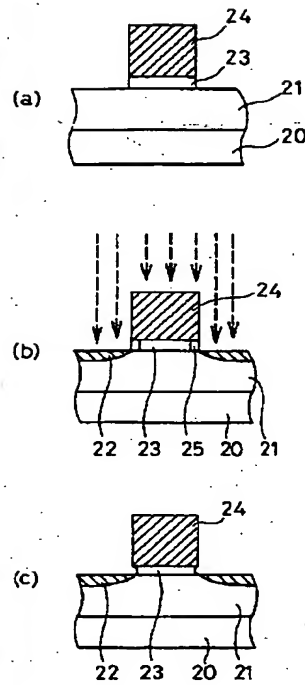
・【図 20】



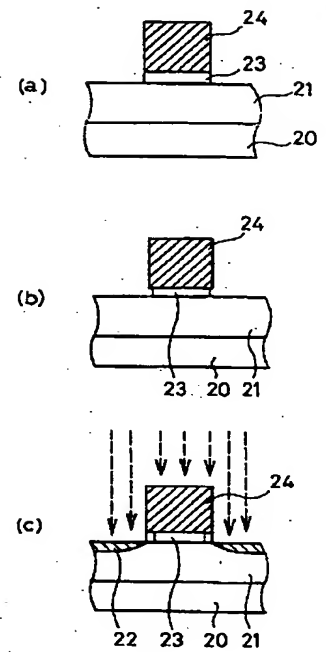
〔図8〕



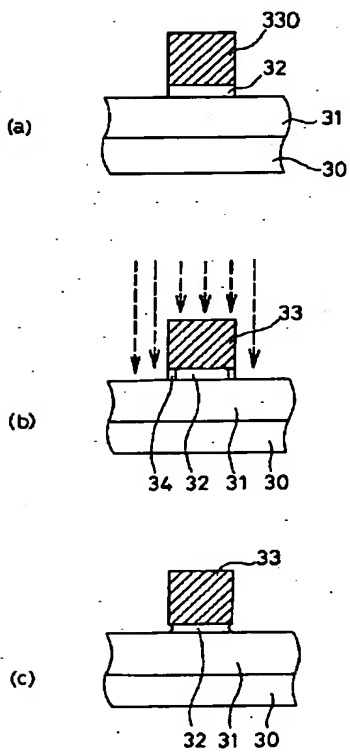
〔図9〕



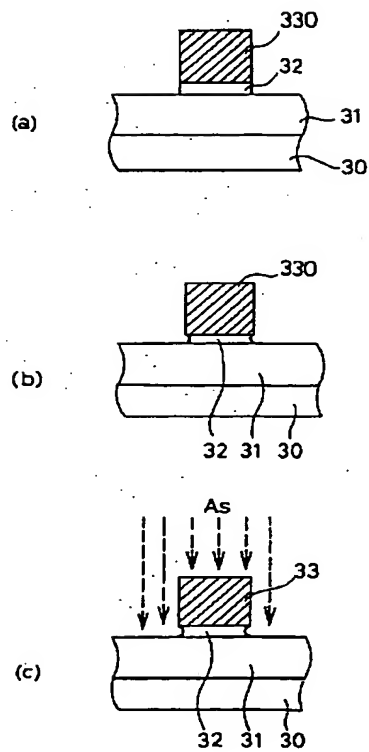
〔図10〕



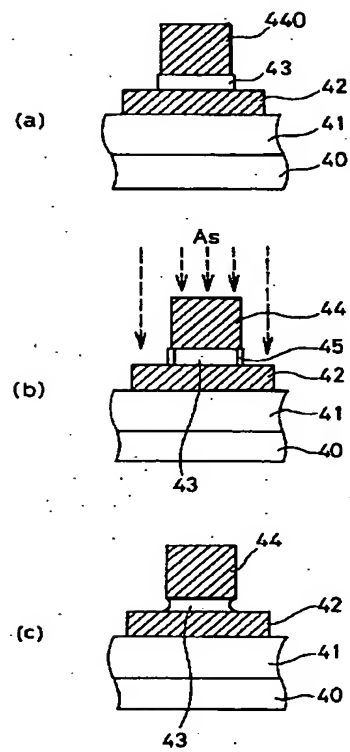
〔図11〕



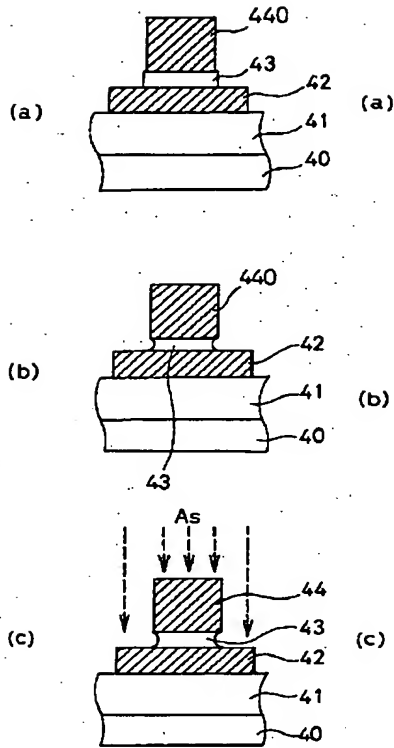
〔図12〕



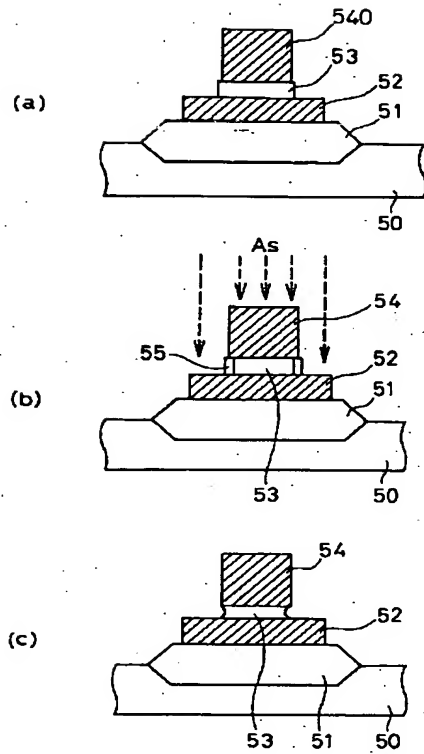
〔図13〕



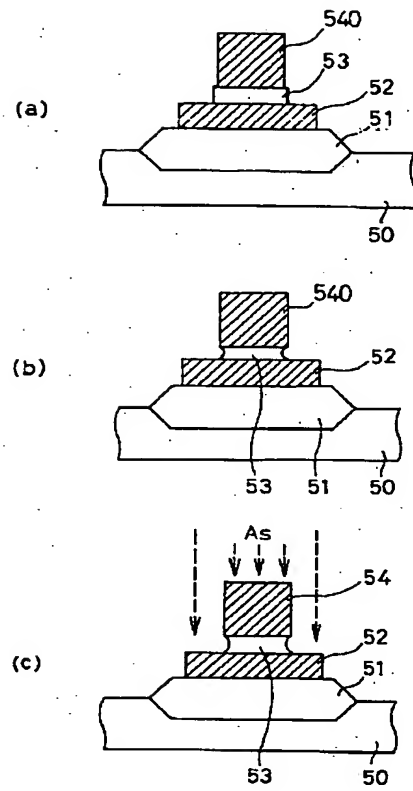
・【図 14】



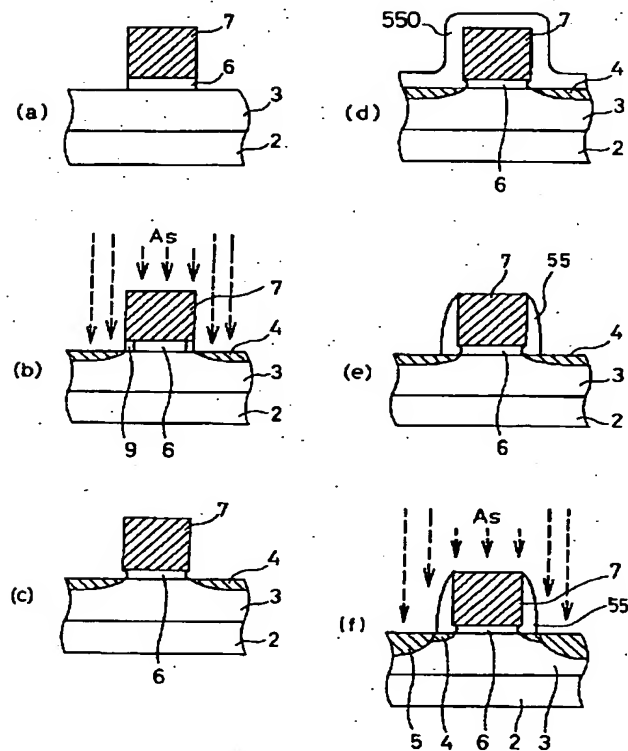
・【図 15】



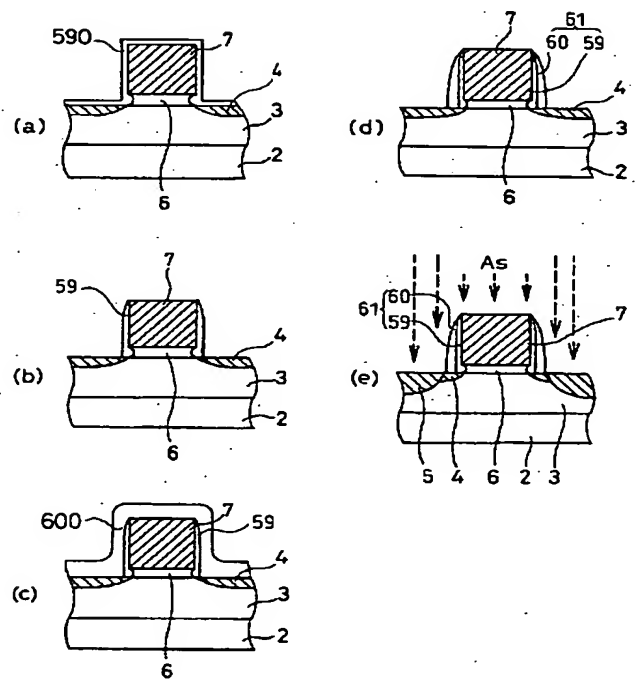
・【図 16】



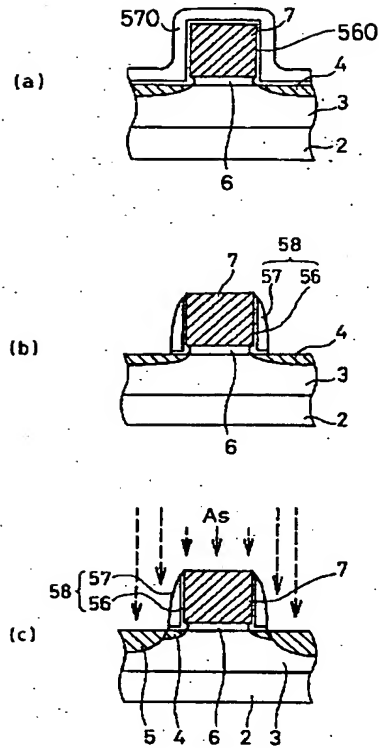
・【図 17】



・【図 19】



【図 18】



フロントページの続き

(51) Int. Cl. 6.
H01L 21/822

識別記号 庁内整理番号

F I

技術表示箇所

(72) 発明者 江利口 浩二
大阪府門真市大字門真1006番地 松下電器
産業株式会社内